

Requested Patent: JP56062351

Title: SEMICONDUCTOR DEVICE FOR MEMORY

Abstracted Patent: JP56062351

Publication Date: 1981-05-28

Inventor(s): SANO YUJI; others: 01

Applicant(s): HITACHI LTD

Application Number: JP19790137623 19791026

Priority Number(s):

IPC Classification: H01L25/04 ; H01L23/28

Equivalents:

ABSTRACT:

PURPOSE: To increase the memory capacity along with a compacter size by bonding a plurality of a semiconductor pellets for memory in parallel with a lead frame employing a tape carrier.

CONSTITUTION: Projected electrodes 12 and 13 are formed on semiconductor pellets 10 and 11. Copper foils 14 and 15 provided on a tape carrier are fastened on electrodes 12 and 13 with the free end of the copper foils connected to the lead frame 16. The pellets 10 and 11 are solidly molded with a resin as a single package. This molding can reduce a space between the upper and lower pellets thereby making the device compact.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭56-62351

⑫ Int. Cl.
H 01 L 25/04
23/28

識別記号

厅内整理番号
7638-5F
7738-5F

⑬ 公開 昭和56年(1981)5月28日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ メモリ用半導体装置

⑮ 特 願 昭54-137623

⑯ 出 願 昭54(1979)10月26日

⑰ 発明者 佐野雄治

小平市上水本町1450番地株式会
社日立製作所武藏工場内

⑱ 発明者 村上元

小平市上水本町1450番地株式会
社日立製作所武藏工場内

⑲ 出願人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑳ 代理人 弁理士 薄田利幸

明細書

発明の名称 メモリ用半導体装置

特許請求の範囲

1. 複数個のメモリ用半導体ペレットを上下方向に配置すると共に、これら各ペレットをテーブやマリアを用いて單一のリードフレームに並列状態にマンディングし、更に一体的にセールドしてパッケージを形成したことを特徴とするメモリ用半導体装置。

2. 各半導体ペレットを同一方向に向けてマンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。

3. 各半導体ペレットを対反する方向に向けてマンディングしてなる特許請求の範囲第1項記載のメモリ用半導体装置。

4. 各半導体ペレットを互に接觸してなる特許請求の範囲第3項記載のメモリ用半導体装置。

発明の詳細な説明

本発明はメモリ用半導体装置に関し、特に大容量のメモリ用半導体装置に関するものである。

従来のメモリ用半導体装置では、そのメモリ容量はパッケージ内の半導体ペレットによって決定されるため、メモリ容量を増大するためには半導体ペレット自体を変更しなければならない。このため、半導体装置としては種々の容量の半導体ペレットを設計、製造しておく必要があるが、需要量が少ない場合には半導体ペレットの半価値で割高になり、実用的ではない。

このため、従来ではメモリ容量の小さい半導体装置を複数個用いてメモリ容量の大きな一つの半導体装置を構成するようにした所謂ピヤーバック法 (PIGGY BACK) が提案され、実用化されている。このピヤーバック法は、図1に示すように、既に所定のメモリ容量 (例えば16Kビット) として形成された半導体ペレット1, 2を大きパッケージした複数個 (3個) のメモリ用半導体装置3, 4を、上下方向に重ねた上で各々のリードフレーム5, 6の相対するリードを大き半田或いはスポット溶接等によって接続し、これを一つのメモリ用半導体装置として構成する方法である。

(1)

(2)

この方法によれば、構成された半導体部品は複数された各半導体部品の総和のメモリ容量となり、例えば前述のように 16 K ピットのものを 3 個接続した場合には 48 K ピットの容量となり、極めて簡単に大きなメモリ容量の半導体部品を得ることができる。

しかしながら、このように構成された半導体部品では、例えば図 1 図に示したように 3 個の半導体部品 8, 9 を重ねたものでは、基板 7 への実装に要する高さ寸法 A₁ は単一の部品の 3 倍の寸法となっているために実装占有スペースが大となり、小形化の障壁になるという問題がある。また、このように半導体部品を重ねると、比較的に表面積の大きなパッケージの上下面が相互に接触してしまうためにパッケージの放熱効果が低下され、発熱の信頼性の低下を招くという問題も生じている。

したがって本発明の目的は、メモリ容量の増大を図ると共に構成のコンパクト化を達成し、かつ放熱性を向上してその信頼性を高めることができるものメモリ用半導体部品を提供することにある。

(3)

しておらず、各ペレット 10, 11 は網格 16, 15 の剛性によって直吊り状態でリードフレーム 16 に支持する。また、各ペレット 10, 11 を接続した網格 16, 15 は、ペレット 10, 11 の夫々対応する電極に接続したものが同一のインナーリード 17 に接続することは言うまでもない。しかる様に、以上の構成のペレット 10, 11 等は例えばトランシスファーモールド法によってレジン 18 にて一体的にモールドし、これを单一のパッケージとして形成するのである。

以上の構成によれば、ペレット 10, 11 は網格 16, 15 及びリードフレーム 16 を通して並列的に接続しているのでビヤーバック法により接続されていることになり、部品全体としては各ペレット 10, 11 の各メモリ容量の和に相当する容量のメモリ部品となり、メモリ容量の増大を達成できる。これに加えて、ペレット 10, 11 を一体的にモールドしているので、図 1 図の従来例に比較して両ペレットの上下間隔寸法を小さくでき、これにより部品の高さ寸法 A₁ を小さくして実装

(4)

特開昭56-62351(2)
この目的を達成するために本発明は、複数個のメモリ用半導体ペレットを上下方向に配置すると共に、これら各ペレットをテープキャリアを用いて同一のリードフレームに並列状態にパンディングし、更に一體的にモールドしてパッケージを形成したことを特徴とするものである。

以下、本発明を图示する実施例に基づいて説明する。

第 3 図は本発明の一実施例を示しており、所定のメモリ容量を有する電子として形成した 3 個の半導体ペレット 10 と 11 は、実用電極 13, 18 を有するペレットとして形成し、この実用電極 13, 18 には例えば従来から使用されているテープキャリアに抜けられている網格 16, 15 の一端をフェースパンディングしている。そして、前記各ペレット 10, 11 を同一方向に向けて上下に順次配置すると共に、夫々に接続した網格 16, 15 の他端をリードフレーム 16 のインナーリード 17 の上下面に夫々接続している。前記リードフレーム 16 はペレット固定用のタブを有

(5)

しておらず、各ペレット 10, 11 は網格 16, 15 の剛性によって直吊り状態でリードフレーム 16 に支持する。また、各ペレット 10, 11 を接続した網格 16, 15 は、ペレット 10, 11 の夫々対応する電極に接続したものが同一のインナーリード 17 に接続することは言うまでもない。しかる様に、以上の構成のペレット 10, 11 等は例えばトランシスファーモールド法によってレジン 18 にて一体的にモールドし、これを单一のパッケージとして形成するのである。

なお、この構成ではテープキャリアを使用してペレットのパンディングを行なっているので、組立の自動化を容易に行なうことができ、作業工数の低減を図ることもできる。

第 3 図は他の実施例を示しており、図中第 3 図に相当する部分には同一符号を付している。この実施例で特徴とする点は、両ペレット 10, 11' を互に背反する方向に向けた上で、夫々を網格 16, 15 によりリードフレーム 16 にパンディングした處にある。この場合、両ペレット 10, 11' に節度を与えるために両ペレットを絶縁材 19 を介して接続すればよい。

本実施例では、前例と同様の効果に加えて、両

(6)

ペレット 10, 11'間に上下間隔を設ける必要がないから、装置の高さ寸法 A₁を更に低減できるという効果がある。但し、本実施例ではペレット 11'に形成されているメモリ回路が、ペレットを長向きにしてもその構成が変わることがないようだ。例えば左右対称の回路構成のペレットにのみ有効である。

ここで、本実施例ではペレットを 3 個使用したものについて述べたが、場合によっては 3 個以上のペレットにて構成することも可能である。

以上説明したように本発明のメモリ用半導体装置によれば、既存のペレットを使用して大容量のメモリ用半導体装置を構成できるのはもとより、その高さ寸法の低減を図って実装占有スペースを小さくすると共に、その放熱性を向上して装置の信頼性を高めることができしかも組立の自動化及び作業工数の低減を図ることができる等の大なる効果を有するのである。

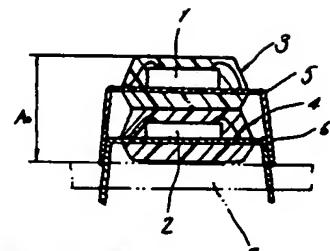
図面の簡単な説明

第 1 図は従来のメモリ用半導体装置の断面図。

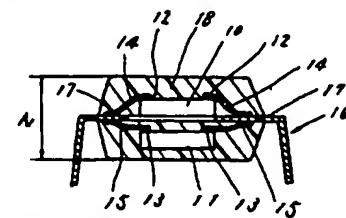
(1)

(2)

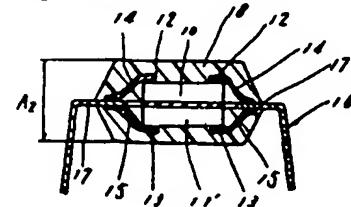
第 1 図



第 2 図



第 3 図



特開昭56-62351(3)
第 3 図は本発明のメモリ用半導体装置の断面図、
第 2 図は他の実施例の断面図である。

10, 11, 11'…ペレット, 12, 13…突出電極, 14, 15…隔壁, 16…リードフレーム, 18…レジンモールド。

代理人弁理士 審田利幸

THIS PAGE BLANK (USPTO)